تصميم وتنفيذ دائرة ضاغط وموسع بيانات عالية السرعة على بطاقة FPGA باستخدام المعالجة المتوازية للعمل في بيئة الوقت الحقيقي

أ. أحمد نجاح جبار / جامعة بابل　　أ. د. عبد الكريم عبد الرحمن كاظم / جامعة المستقبل　　أ. د. سمير جاسم المرعب/ جامعة بابل

الخلاصة

الغرض من هذه البراءة هو تصميم منظومة متكاملة تعمل على ضغط وتوسيع البيانات الواردة بسرعة التحويل الآني للعمل ضمن بيئة الزمن الحقيقي. تعتبر دائرة الضغط والتوسيع من الدوائر المهمة التي تحتاجها العديد من منظومات معالجة الاشارة الرقمية (DSP) ولكن بسبب تصرفها اللاخطي فهي تحتاج إلى عمليات رياضية معقدة تسبب التأخير في معالجة البيانات. بالإضافة لذلك، تحتاج إلى العديد من المكونات الإلكترونية مما يؤدي إلى مساحة تصنيع واسعة واستهلاكها العالي للقدرة. لذا كان من الضروري حل هذه المشاكل بشكل جذري لتصبح الدائرة متاحة للمنظومات ذات الموارد المحدودة. أُعْتُمِدَت تقنية فصل الحسابات المتكررة عن الحسابات الأحادية في بناء الدائرة لغرض تقليل الحسابات والمساحة المطلوبة لبناء الدائرة والقدرة المستهلكة وتقليل تعقيد الدائرة مما يجعلها أسهل للتصنيع وأقل سعراً وأسرع في البناء والتطوير حسب احتياجات المصمم. كنتيجة لهذه التقنية، أصبحت مراحل ضغط البيانات الفردية معزولة عن بعضها البعض مما يجعل شكل الدائرة ثابتاً والعتاد معرفاً وهذا يسمح بتكرار هذه الدائرة لأي عدد من البيانات المتوازية وتخمين المكونات العتادية المطلوبة وتكاليف انتاجها بسهولة. ان عدم المزامنة هذه جعلت التأخير الزمني في إخراج البيانات نظرياً صفر وعملياً حسب تقنية تصنيع المذبذب المستخدم. تم تنفيذ التصميم النهائي على بطاقة FPGA لعدد بيانات متوازية يساوي 16 ادخال باستخدام تمثيل اعداد بطريقة الفاصلة العشرية العائمة والفاصلة العشرية الثابتة لبيان تأثير تمثيل البيانات على كمية العتاد اللازم. اختبرت النتائج العملية مع النتائج النظرية بشكل معمق لغرض التثبت من صحة النتائج المستخرجة من التصميم النهائي. أيضاً، تقدم هذه البراءة دائرة أخرى مهمة جداً وتختص بتحويل الأرقام بالنظام الثنائي إلى ما يقابلها من الأرقام بالفاصلة العشرية العائمة. تتميز هذه الدائرة بالسرعة العالية وصغر الحجم الكبير وقلة الاحتياج للموارد والمعالجة المتوازية وانخفاض مستوى الطاقة المستهلكة وعدم الحاجة للعلميات اللاخطية.

(19) IQ

جمهورية العراق
وزارة التخطيط
الجهاز المركزي للتقييس والسيطرة النوعية

(13) بـــراءة اختـــراع

(12) اللغة العربية

(11) رقم البراءة : 7901　　(51) التصنيف الدولي G06F3/00

(21) رقم الطلب : 2021/464

(22) تاريخ تقديم الطلب: 2021/9/7　　(52) التصنيف العراقي 20

(30) تاريخ طلب الأسبقية　(33)- بلد الأسبقية　- (31) رقم طلب الأسبقية

(45) تاريخ منح البراءة: 2023/3/5

(72) اسم المخترع وعنوانه :

1- أ.أحمد نجاح جبار　/ جامعة بابل /كلية الهندسة / قسم الهندسة الكهربائية

2- أ.د.عبد الكريم عبد الرحمن كاظم / جامعة النهرين /كلية هندسة المعلومات / قسم هندسة شبكات الحاسوب

3- أ.د.سمير جاسم محمد المرعب　/جامعة بابل /كلية الهندسة / قسم الهندسة الكهربائية

(73) اسم صاحب البراءة : المخترعون اعلاه

(74) اسم الوكيل:

(54) تسمية الاختراع:

تصميم وتنفيذ دائرة ضاغط وموسع بيانات عالية السرعة على بطاقة FPGA باستخدام المعالجة المتوازية للعمل في بيئة الوقت الحقيقي

منحت هذه البراءة استناداً لأحكام المادة (21) من قانون براءة الاختراع والنماذج الصناعية والمعلومات غير المفصح عنها والدوائر المتكاملة والاصناف النباتية رقم (65) لسنة 1970 المعدل وعلى مسؤولية المخترع.